

日 本 国 特 許 庁
JAPAN PATENT OFFICE

Jc971 U.S. PTO
10/055992
01/26/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 1月29日

出 願 番 号

Application Number:

特願2001-019750

出 願 人

Applicant(s):

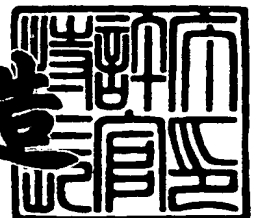
株式会社東芝

東芝マイクロエレクトロニクス株式会社

2001年11月30日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3105536

【書類名】 特許願

【整理番号】 12525501

【提出日】 平成13年 1月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 論理シミュレーション装置、論理シミュレーション方法
、およびコンピュータ読み取り可能な記録媒体

【請求項の数】 21

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 小 林 憲 史

【発明者】

【住所又は居所】 神奈川県川崎市川崎区駅前本町25番地1 東芝マイク
ロエレクトロニクス株式会社内

【氏名】 鍋 谷 孝 之

【特許出願人】

【識別番号】 000003078

【住所又は居所】 神奈川県川崎市幸区堀川町72番地

【氏名又は名称】 株式会社 東 芝

【特許出願人】

【識別番号】 000221199

【住所又は居所】 神奈川県川崎市川崎区駅前本町25番地1

【氏名又は名称】 東芝マイクロエレクトロニクス株式会社

【代理人】

【識別番号】 100075812

【弁理士】

【氏名又は名称】 吉 武 賢 次

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橋 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【選任した代理人】

【識別番号】 100108785

【弁理士】

【氏名又は名称】 箱 崎 幸 雄

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 論理シミュレーション装置、論理シミュレーション方法、およびコンピュータ読み取り可能な記録媒体

【特許請求の範囲】

【請求項1】

解析対象である半導体集積回路の動作に影響を及ぼす電氣的・物理的特性のチップ内におけるばらつきの情報を記述したパラツキルールファイルの入力と、前記半導体集積回路の設計情報の入力とを受け、前記パラツキルールファイルと前記設計情報に基づいて前記ばらつきの影響が個別に考慮された遅延情報ファイルを作成する遅延情報演算手段と、

テストパターンと前記設計情報と前記遅延情報ファイルの入力を受けて前記半導体集積回路の論理シミュレーションを実行する論理シミュレーション手段と、を備える論理シミュレーション装置。

【請求項2】

前記遅延情報演算手段は、前記ばらつきに基づいて前記設計情報を補正し、

前記遅延情報ファイルは、補正された前記設計情報を含むことを特徴とする請求項1に記載の論理シミュレーション装置。

【請求項3】

前記チップを構成する任意のサイズのグループごとに前記ばらつきの情報を分類する情報分類手段をさらに備え、

前記遅延情報ファイルは、前記ばらつきの影響が前記グループごとに考慮されて作成されることを特徴とする請求項1または2に記載の論理シミュレーション装置。

【請求項4】

前記設計情報は、前記セルの実配置における位置に関する情報である実配置情報を含み、

前記パラツキルールファイルの入力を受け、前記ばらつきの情報を前記実配置情報に対応づけて前記パラツキルールファイルを編集するファイル編集手段をさらに備えることを特徴とする請求項1または2に記載の論理シミュレーション装

置。

【請求項5】

前記電氣的・物理的特性は、電源電圧を含み、

前記論理シミュレーションは、同一チップ内における前記電源電圧の相違に起因して前記信号の伝達において異常が発生するか否かの検証を含むことを特徴とする請求項1または2に記載の論理シミュレーション装置。

【請求項6】

前記電氣的・物理的特性は、電源電圧を含み、

前記遅延情報演算手段は、

前記電源電圧のばらつき起因して発生する信号レベルのばらつきと、この信号レベルばらつきに起因して発生する信号伝達の遅延分と、を算出することを特徴とする請求項2または3に記載の論理シミュレーション装置。

【請求項7】

前記設計情報は、配線に関する情報を含み、

前記遅延情報演算手段は、前記配線に関する情報を前記グループの前記サイズに対応したセグメントごとに分割し、

前記遅延情報ファイルは、前記ばらつきの影響が前記セグメントごとに考慮されて作成されることを特徴とする請求項1または2に記載の論理シミュレーション装置。

【請求項8】

解析対象である半導体集積回路の動作に影響を及ぼす電氣的・物理的特性のチップ内におけるばらつきの情報を記述したバラツキルールファイルを用意する工程と、

前記バラツキルールファイルと前記設計情報に基づいて前記ばらつきの影響が個別に考慮された遅延情報ファイルを作成する工程と、

テストパターンと前記設計情報と前記遅延情報ファイルを用いて前記半導体集積回路の論理シミュレーションを実行する工程と、
を備える論理シミュレーション方法。

【請求項9】

前記ばらつきに基づいて前記設計情報を補正する工程をさらに備え、

前記遅延情報ファイルは、補正された前記設計情報を含むことを特徴とする請求項 8 に記載の論理シミュレーション方法。

【請求項 1 0】

前記チップを構成する任意のサイズのグループごとに前記ばらつきの情報を分類する工程をさらに備え、

前記遅延情報ファイルは、前記ばらつきの影響が前記グループごとに考慮されて作成されることを特徴とする請求項 8 または 9 に記載の論理シミュレーション方法。

【請求項 1 1】

前記設計情報は、前記セルの実配置における位置に関する情報である実配置情報を含み、

前記ばらつきの情報を前記実配置情報に対応づけて前記バラツキルールファイルを編集する工程をさらに備えることを特徴とする請求項 8 または 9 に記載の論理シミュレーション方法。

【請求項 1 2】

前記電氣的・物理的特性は、電源電圧を含み、

前記論理シミュレーションを実行する工程は、同一チップ内における前記電源電圧の相違に起因して前記信号の伝達において異常が発生するか否かを検証する工程を含むことを特徴とする請求項 8 または 9 に記載の論理シミュレーション方法。

【請求項 1 3】

前記電氣的・物理的特性は、電源電圧を含み、

前記電源電圧のばらつき起因して発生する信号レベルのばらつきと、この信号レベルばらつきに起因して発生する信号伝達の遅延分と、を算出する工程をさらに備えることを特徴とする請求項 9 または 1 0 に記載の論理シミュレーション方法。

【請求項 1 4】

前記設計情報は、配線に関する情報を含み、

前記配線に関する情報を前記グループの前記サイズに対応したセグメントごとに分割する工程をさらに備え、

前記遅延情報ファイルは、前記ばらつきの影響が前記セグメントごとに考慮されて作成されることを特徴とする請求項 8 または 9 に記載の論理シミュレーション方法。

【請求項 1 5】

解析対象である半導体集積回路の設計情報とテストパターンを入力を受けて前記半導体集積回路の論理シミュレーションを実行するコンピュータに用いられ、

前記半導体集積回路の動作に影響を及ぼす電氣的・物理的特性のチップ内におけるばらつきの情報を記述したバラツキルールファイルと前記設計情報に基づいて前記ばらつきの影響が個別に考慮された遅延情報ファイルを作成する手順と、

前記テストパターンと前記設計情報と前記遅延情報ファイルを用いて前記論理シミュレーションを実行する手順と、

を備える論理シミュレーション方法を前記コンピュータに実行させるプログラムを記録したコンピュータ読取り可能な記録媒体。

【請求項 1 6】

前記ばらつきに基づいて前記設計情報を補正する手順をさらに備え、

前記遅延情報ファイルは、補正された前記設計情報を含むことを特徴とする請求項 1 5 に記載のコンピュータ読取り可能な記録媒体。

【請求項 1 7】

前記チップを構成する任意のサイズのグループごとに前記ばらつきの情報を分類する手順をさらに備え、

前記遅延情報ファイルは、前記ばらつきの影響が前記グループごとに考慮されて作成されることを特徴とする請求項 1 5 または 1 6 に記載のコンピュータ読取り可能な記録媒体。

【請求項 1 8】

前記設計情報は、前記セルの実配置における位置に関する情報である実配置情報を含み、

前記ばらつきの情報を前記実配置情報に対応づけて前記バラツキルールファイ

ルを編集する手順をさらに備えることを特徴とする請求項15または16に記載のコンピュータ読取り可能な記録媒体。

【請求項19】

前記電氣的・物理的特性は、電源電圧を含み、

前記論理シミュレーションを実行する手順は、同一チップ内における前記電源電圧の相違に起因して前記信号の伝達において異常が発生するか否かを検証する手順を含むことを特徴とする請求項15または16に記載のコンピュータ読取り可能な記録媒体。

【請求項20】

前記電氣的・物理的特性は、電源電圧を含み、

前記電源電圧のばらつき起因して発生する信号レベルのばらつきと、この信号レベルばらつきに起因して発生する信号伝達の遅延分と、を算出する手順をさらに備えることを特徴とする請求項16または17に記載のコンピュータ読取り可能な記録媒体。

【請求項21】

前記設計情報は、配線に関する情報を含み、

前記配線に関する情報を前記グループの前記サイズに対応したセグメントごとに分割する手順をさらに備え、

前記遅延情報ファイルは、前記ばらつきの影響が前記セグメントごとに考慮されて作成されることを特徴とする請求項15または16に記載のコンピュータ読取り可能な記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、論理シミュレーション装置、論理シミュレーション方法、およびコンピュータ読み取り可能な記録媒体に関し、特に、半導体集積回路（LSI）の回路設計におけるタイミング検証における論理シミュレーションを対象とする。

【0002】

【従来の技術】

半導体集積回路の開発において論理シミュレーションによりタイミング検証を行う場合、次のことが問題となる。即ち、チップ内部で発生するプロセス（ポリシリコンの幅、酸化膜の厚さ、しきい値電圧など）のばらつき、電源電圧ばらつき、ジャンクション温度のばらつきに起因してタイミングに関する特性データ（伝搬遅延時間、セットアップ／ホールド時間、最小パルス幅など）のばらつきや信号の電圧レベルの相違が発生し、従来一般に実施されてきた、チップ内で一律のばらつき係数を考慮した論理シミュレーションによるタイミング検証では、その動作上の問題点を検出するうえで不十分となっている。このような問題を解消するため、上述したタイミングに関する特性データのばらつきや、電源を分離した場合、異なるプロセスを混載した場合、または熱的に分離した場合などの影響を考慮した論理シミュレーションを実行する方法として従来は主として以下の3つの方法が用いられてきた。

【0003】

第1の従来技術は、論理シミュレーション装置用のライブラリをセル毎やセルグループ毎に分類して用意する方法である。これは論理シミュレーション検証の対象となる半導体集積回路で使用されるセルに対して、予め数種類のライブラリを準備し、参照するライブラリをセル毎に切替える方法である。

【0004】

しかし、この第1の従来方法では複数のライブラリを準備する必要があり、ばらつきを考慮した詳細な検証を実施する必要がある場合は、そのライブラリの種類が膨大になる。また、通常は同一セルであるものについて異なるライブラリを参照させるために、各セルの識別情報を持たせる必要がある。その方法の一つとしては、論理シミュレーション検証の対象となる半導体集積回路のネットリストに記述されているセル名を疑似的に変更する方法が考えられる。しかし、この場合は、フロントエンド、バックエンドにおける設計環境のライブラリデータが膨大にあり、その管理が非常に煩雑となる。また、実際の半導体集積回路のレイアウト情報に基づく考慮が必要となる場合は、回路やレイアウトの変更が発生すると、その都度その変更に基づいて論理シミュレーションの実行対象となるネットリストも変更しなければならず、フロントエンドとバックエンド間のデータベ-

ス管理がさらに困難となる。

【0005】

第2の従来技術としては、データ系とクロック系の遅延時間のばらつきを考慮した論理シミュレーション装置および論理シミュレーション方法がある。これは論理シミュレーション検証の対象となる半導体集積回路のネットリストからデータ系パスとクロック系パスとを抽出し、それぞれの信号系統に対して異なる遅延係数を用いて演算処理することにより、相対的な遅延のばらつきを考慮した論理シミュレーション検証が実施できるようにしたものである。

【0006】

しかし、この第2の従来技術では、データ系とクロック系に対して相互に独立した遅延係数を設定するので、非現実的な現象まで考慮したタイミングシミュレーションとなり、タイミングマージン設計の冗長性が大きくなるという問題がある。また、実際の半導体集積回路の誤動作には、データ系とクロック系のスキューのみならず、データ系同士の複数のパスに関する相互のスキューが起因して発生するハザードにより引き起こされるものがあり、第2のシミュレーション方法では、このような現象を検証することはできなかった。

【0007】

第3の従来技術として、SPICE系のアナログ特性を考慮した回路シミュレーション装置によりチップまたは着目する部分を回路シミュレーションにより検証する方法がある。この第3の従来技術は、検証精度としては非常に高く信頼性が高いものである。

【0008】

【発明が解決しようとする課題】

しかしながら、上述の第3の従来技術については、検証の対象となる回路の規模が大きい場合、次の2つの問題点があった。まず、回路シミュレーション装置に入力する回路情報を作成することが困難である。次に、回路シミュレーションを実施する場合の環境としてハイエンドなものが必要になる。すなわち、演算処理速度が速いCPU、および大容量のメモリまたはディスクを必要とする。この対策として、検証対象となる回路情報をその解析結果に影響を与えない範囲で削

除する技術も開発されつつあるが、解析結果が入手できるまでに膨大な時間と労力を費やすことは否定できない。

【 0 0 0 9 】

本発明は上記事情に鑑みてなされたものであり、その目的は、簡易な構成で検証精度および検証処理速度のいずれについても優れた論理シミュレーション装置、論理シミュレーション方法、およびコンピュータ読み取り可能な記録媒体を提供することにある。

【 0 0 1 0 】

【課題を解決するための手段】

本発明は、以下の手段により上記課題の解決を図る。

【 0 0 1 1 】

即ち、本発明の第 1 の態様によれば、

解析対象である半導体集積回路の動作に影響を及ぼす電氣的・物理的特性のチップ内におけるばらつきの情報を記述したバラツキルールファイルの入力と、上記半導体集積回路の設計情報の入力とを受け、上記バラツキルールファイルと上記設計情報に基づいて上記ばらつきの影響が個別に考慮された遅延情報ファイルを作成する遅延情報演算手段と、テストパターンと上記設計情報と上記遅延情報ファイルの入力を受けて上記半導体集積回路の論理シミュレーションを実行する論理シミュレーション手段と、を備える論理シミュレーション装置が提供される。

【 0 0 1 2 】

上記論理シミュレーション装置は、上記ばらつきの影響が個別に考慮された遅延情報ファイルを作成する遅延情報演算手段を備えるので、論理シミュレーションにおいて、同一チップ内でのばらつきを考慮した高精度のタイミング検証が可能になる。

【 0 0 1 3 】

また、本発明の第 2 の態様によれば、

解析対象である半導体集積回路の動作に影響を及ぼす電氣的・物理的特性のチップ内におけるばらつきの情報を記述したバラツキルールファイルを用意する工

程と、上記バラツキルールファイルと上記設計情報に基づいて上記ばらつきの影響が個別に考慮された遅延情報ファイルを作成する工程と、テストパターンと上記設計情報と上記遅延情報ファイルを用いて上記半導体集積回路の論理シミュレーションを実行する工程と、を備える論理シミュレーション方法が提供される。

【 0 0 1 4 】

上記論理シミュレーション方法によれば、上記ばらつきの影響が個別に考慮された遅延情報ファイルを用いるので、論理シミュレーションにおいて高精度のタイミング検証が可能になる。

【 0 0 1 5 】

また、本発明の第 3 の態様によれば、

解析対象である半導体集積回路の設計情報とテストパターンの入力を受けて上記半導体集積回路の論理シミュレーションを実行するコンピュータに用いられ、上記半導体集積回路の動作に影響を及ぼす電氣的・物理的特性のチップ内におけるばらつきの情報を記述したバラツキルールファイルと上記設計情報に基づいて上記ばらつきの影響が個別に考慮された遅延情報ファイルを作成する手順と、上記テストパターンと上記設計情報と上記遅延情報ファイルを用いて上記論理シミュレーションを実行する手順と、を備える論理シミュレーション方法を上記コンピュータに実行させるプログラムを記録したコンピュータ読取り可能な記録媒体が提供される。

【 0 0 1 6 】

上述した本発明の第 1 乃至第 3 の態様において、上記電氣的・物理的特性には、例えばポリシリコンの幅、酸化膜の厚さ、しきい値電圧などのプロセス上のばらつきや、電源電圧のばらつき、ジャンクション温度のばらつきの他、電源を分離したこと、異なるプロセスが混載されていること、熱的に分離されていることなどが含まれる。また、上記電氣的・物理的特性に影響される上記半導体集積回路の動作には、例えば信号伝搬遅延やセットアップ／ホールド、最小パルス幅の変化などが含まれる。

【 0 0 1 7 】

【発明の実施の形態】

以下、本発明の実施の形態のいくつかについて図面を参照しながら説明する。

【0018】

(1) 論理シミュレーション装置の実施形態

図1は、本発明にかかるシミュレーション装置の実施の一形態を示すブロック図である。同図に示すシミュレーション装置1は、論理シミュレーション部10と、本実施形態において特徴的な遅延情報演算部12と、メモリ14と、表示器16と、を備える。図1には、論理シミュレーション装置1において必要となる基本的な入力情報として、デザインネットリストF2、バラツキルールファイルF4、ライブラリ情報、検証用テストパターンおよびレイアウトデータをも示す。メモリ14は、後述するライブラリ情報を格納し、論理シミュレーション部10と、遅延情報演算部12に接続されている。遅延情報演算部12は、論理シミュレーション部10に接続され、デザインネットリストF2、バラツキルールファイルF4およびライブラリ情報の入力を受けて遅延情報ファイルF8を作成し、論理シミュレーション部10に供給する。遅延情報演算部12は、遅延情報演算手段の他、情報分類手段およびファイル編集手段をも構成し、後述する論理シミュレーション方法の第2または第5の実施形態に説明するように、前述した3つの入力情報に加えてレイアウトデータの入力をも受けて遅延情報ファイルF8を作成することもできる。論理シミュレーション部10は、遅延情報ファイルF8と検証用テストパターンの情報とライブラリ情報とを受けて論理シミュレーションを実行し、論理検証結果を出力する。表示器16は、論理シミュレーション部10に接続され、論理検証結果をCRT (Cathode Ray Tube) 画面などに表示する。

【0019】

デザインネットリストF2は、従来の論理シミュレーション装置から用いられるファイル群であり、例えば、論理シミュレーションの対象となる半導体集積回路におけるゲートレベルのVerilog-HDLフォーマットが含まれる。

【0020】

メモリ14に格納されるライブラリ情報には、例えばプロセスに依存する情報、チップの母体に依存する仮配線モデル情報、パッケージに依存するパッド周り

の情報などの論理シミュレーションを実施するために必要となる各セルや母体に関する特性情報やルールチェック等の様々な情報が含まれる。

【 0 0 2 1 】

また、検証用テストパターンには、シミュレーション対象の半導体集積回路が機能的に正しいかどうか、タイミング的に問題なく動作するかどうかを検証するために必要な、回路への入力パターンとその出力の期待値パターンが含まれる。

【 0 0 2 2 】

バラツキルールファイル F 4 は、本実施形態において特徴的なファイルであり、上述した本発明の解決課題である、チップ内におけるプロセス、電源電圧、温度などにおけるそれぞれのばらつきを定義するための情報が記述されている。

【 0 0 2 3 】

図 1 に示す論理シミュレーション装置の動作について、本発明にかかる論理シミュレーション方法の実施の形態として以下に説明する。

【 0 0 2 4 】

(2) 論理シミュレーション方法の第 1 の実施形態

本発明にかかる論理シミュレーション方法の第 1 の実施の形態について図 1 ～図 5 を参照しながら説明する。

図 2 は、本実施形態の論理シミュレーション方法の概略手順を説明するフローチャートである。また、図 3 は、シミュレーション対象である一チップの構成の概念図であり、図 4 は、図 3 に示すチップ内で電源電圧が異なる場合に発生する不具合を説明する回路図および波形図である。さらに、図 5 は、本実施形態の論理シミュレーション方法に用いるバラツキルールファイル F 4 の一記述例である。

【 0 0 2 5 】

図 2 に示すように、まず、ライブラリ情報とデザインネットリスト F 2 とバラツキルールファイル F 4 とを遅延情報演算部 1 2 に入力する（ステップ S 1 ～ 3）。次に、遅延情報演算部 1 2 は、入力されたこれらの情報からデザインネットリスト F 4 に記述されている各セル毎に遅延情報演算を実行し（ステップ S 4）、遅延情報ファイル（一般的に S D F ファイルである）F 8 を作成して、論理シ

ミュレーション部 1 0 に供給する (ステップ S 5)。

【 0 0 2 6 】

遅延情報ファイル (S D F ファイル) F 8 の作成方法について図 3 ～ 図 5 を参照しながらより具体的に説明する。

【 0 0 2 7 】

例えば、同一仕様の 2 入力 A N D ゲート (以下、A N 2 という) であっても、図 3 に示すチップ C P 2 のように、チップを 3×3 の領域に分割して考えた場合では、各領域に配置される A N 2 同士で、印加される電源電圧が異なる場合がある。

【 0 0 2 8 】

この様子を図 4 に示す。図 4 (a) および (b) は、それぞれ図 3 に示すチップ C P 2 の領域 (1, 1) および (3, 3) に含まれる A N 2 a, A N 2 b を示す。各 A N 2 a, b は、出力 Z 2, Z 4 が図示しない回路に接続されるとともに、それぞれコンデンサ C 2, C 4 を介して接地されている。図 4 (c) は、これらの A N 2 a, b における 2 つの入力端子のうち、それぞれ I N P U T 2, 4 から端子 A 2, A 4 に入力される信号の波形と出力端子 Z 2, Z 4 から出力される信号の波形を示す。同図 (c) の紙面左側の波形は、領域 (1, 1) で電源電圧が理想状態であることを示し、この一方、同図 (c) の紙面右側の波形図は、領域 (3, 3) で電源電圧が降下 (ドロップ) している様子を示している。このような場合、領域 (3, 3) に位置する A N 2 b は、電源電圧が V_{dr1} だけドロップしているために、伝搬遅延時間 ($A 4 \rightarrow Z 4$) は、領域 (1, 1) に位置する A N 2 a の伝搬遅延時間 ($A 2 \rightarrow Z 2$) の $T 1$ よりも $d T$ だけ長くなっている。

【 0 0 2 9 】

このような場合、遅延情報演算部 1 2 は、端子 A 2 に入力する波形のスルーレートと出力端子 Z 2 に接続する負荷容量 C 2 と、メモリ 1 4 に格納されたライブラリ情報におけるスルーレートと負荷容量とをパラメータとする数ポイントに関する遅延時間情報データとに基づいて、領域 (1, 1) における A N 2 a の入力端子 A 2 から出力端子 Z 2 までの伝搬遅延時間の補正値を算出する。

【0030】

ここで、領域（1，1）に位置するAN2aの識別セルインスタンスを“U0101”と定義した場合のSDFファイルの一記述例を以下に示す。

【0031】

```
(CELL(CELLTYPE"AN2")(INSTANCE    U0101)
  (DELAY
    (ABSOLUTE
      (IOPATH B Z(0.15:0.21:0.27)(0.12:0.17:0.22))
      (IOPATH A Z(0.21:0.30:0.39)(0.13:0.18:0.23))
    )
  )
)
```

同様に、領域（3，3）に位置するAN2bの識別セルインスタンスを“U0303”と定義したときのSDFファイルの記述例は以下のとおりである。これは、図5に示す、後述するバラツキルールファイルF4の記述例に従って、上述した領域（1，1）に位置するAN2aの遅延情報に、電源電圧がドロップした分であるVdr1に相当する遅延量増大を考慮して遅延係数1.5を乗じたものとなっている。

【0032】

```
(CELL(CELLTYPE"AN2")(INSTANCE    U0303)
  (DELAY
    (ABSOLUTE
      (IOPATH B Z(0.22:0.32:0.41)(0.18:0.26:0.33))
      (IOPATH A Z(0.32:0.45:0.59)(0.19:0.27:0.35))
    )
  )
)
```

このように、遅延情報演算部12にて得られた遅延情報は、個々のセルに対してバラツキルールファイルF4の情報に基づいて遅延係数としての補正をかけた

ものとなっている。

【 0 0 3 3 】

上述の演算は、通常の遅延演算を実行した後に得られる遅延情報ファイル（SDF）に対して処理しても実行可能である。

【 0 0 3 4 】

しかしながら、本実施形態では、遅延情報演算部 1 2 による遅延情報演算においてバラツキルールファイル F 4 を考慮するので、入力波形のスルーレートを算出する際に既に遅延係数なるものを考慮して電源電圧がドロップした分だけ波形が鈍る現象をも考慮することが可能となる。これにより、より正確な遅延計算を行うことが可能となる。

【 0 0 3 5 】

ここで、バラツキルールファイル F 4 についてより詳細に説明する。

【 0 0 3 6 】

図 3 に示すチップ CP 2 の構成の場合、領域として $3 \times 3 = 9$ 箇所に分割される。バラツキルールファイル F 4 は、このように分割された領域に応じて、デザインネットリスト F 2 に含まれる全てのセルのインスタンスを 1 対 1 になるようにグループ分けして記述するものである。

【 0 0 3 7 】

図 5 は、このように記述されたバラツキルールファイル F 4 の一具体例である。同図に示すバラツキルールファイル F 4 2 には、各グループ毎のユニークな名前と、そのグループに対する遅延係数定義と、そのグループに含まれるセルのインスタンスとが記述されている。本実施形態では、遅延係数の定義を $K_{MAX} / K_{TYP} / K_{MIN}$ としたが、その定義の数や書式は任意である。実際には、遅延情報演算（ステップ S 4）を実行する際に使用する遅延係数がバラツキルールファイル F 4 内のいずれのファイルを使用すればよいかを識別できるスイッチパラメータを入力するなどの方法を用いれば良い。

【 0 0 3 8 】

なお、図 5 において、各グループに含まれるセルのインスタンスは、説明の簡略のため、正規化表現で示している。

【0039】

さらに、バラツキルールファイルF4の具体的記述として、各グループに対する遅延係数として明示的に定義する方法に限ることなく、プロセス、電源電圧、または温度などに関して個別にその係数を定義し、遅延情報演算（ステップS4）で処理することも可能である。

【0040】

図2に戻り、上述の方法により得られた遅延情報ファイル（SDF）は、論理シミュレーション部10に供給される（ステップS5）。論理シミュレーション部10は、検証用テストパターンとメモリ14に格納されたライブラリ情報とを取り込んで（ステップS6）、論理シミュレーションを実行し（ステップS7）、シミュレーション結果と検証用テストパターンにおける期待値とを比較し（ステップS8）、比較結果を表示部16に表示させる。シミュレーション結果が期待値と一致すれば（ステップS9）、論理シミュレーションを終了するが、一致しない場合は（ステップS9）、デザインネットリストF2を修正し（ステップS10）、上述した一連の手順を繰り返す（ステップS2～S9）。デザインネットリストF2の修正は、具体的には、回路レイアウトの修正や電源供給方法の見直しのほか、検出された動作上の不具合が重大なものであれば、設計のやり直しにより実行される。

【0041】

（3）論理シミュレーション方法の第2の実施形態

本発明にかかる論理シミュレーション方法の第2の実施の形態について図6～図8を参照しながら説明する。本実施形態の特徴は、チップのレイアウトデータ（例えばDEF）における各セルの実配置座標に基づいてバラツキルールファイルF4を作成する点にある。

【0042】

図6および図7は、本実施形態の論理シミュレーション方法の概略手順を説明するフローチャートである。

【0043】

まず、図6に示すように、各グループの座標とそのグループでの遅延係数とを

定義したスケルトンファイルをバラツキルールファイルF4内に予め用意しておく（ステップS26）。次に、レイアウトデータ（DEF）と、上述したスケルトンファイルを含むバラツキルールファイルF4を遅延情報演算部12に入力する（ステップS27、S28）。

【0044】

レイアウトファイル（DEF）には、レイアウト後のセルのインスタンス、セルの種類、配置手法、配置座標、配置セルの方向が記述されている。以下にその一例を示す。

【0045】

U47AN2+PLACED (150 150) N;

U48EN+PLACED (250 150) FS;

U49EN+PLACED (350 150) FS;

図8は、レイアウトデータにおけるDEFファイルの一例の要部を示す図である。同図に示すDEFファイルFS2において、例えばGroup G0101の座標は、X1=100、Y1=100、X2=200、Y2=200と定義され、また、Group G0102の座標は、X1=200、Y1=100、X2=300、Y2=200と定義されている。

【0046】

図6に戻り、次に、遅延情報演算部12は、このようなスケルトンファイルをバラツキルールファイルF4から抽出し（ステップS29）、その座標データとDEFに定義されている座標データとの大小比較を検査対象であるセルの全てについて実行し、各セル毎の座標データがスケルトンファイルのどのグループに属するかを分類する（ステップS30）。上述した例による処理結果としては、U47がGroup G0101に、U48がGroup G0102に、U49がGroup G103に分類される。

【0047】

次に、遅延情報演算部12は、この分類結果が取り込まれた新たなバラツキルールファイルF4'を作成する（ステップS31）。

【0048】

さらに、図 7 に示すように、遅延情報演算部 1 2 は、上述した手順で得られた新たなバラツキルールファイルに基づいて、前述の第 1 の実施形態で説明した論理シミュレーション方法と同一の手順によりタイミング検証を実施する（ステップ S 3 2 ～ S 4 0）。なお、図 7 に示す手順は、図 2 に示す手順のうちステップ S 2 ～ S 1 0 と実質的に同一であり、単に各ステップ番号に 3 0 を加算したものであるので、その説明は省略する。

【 0 0 4 9 】

(4) 論理シミュレーション方法の第 3 の実施形態

本発明にかかる論理シミュレーション方法の第 3 の実施形態について図 9 および図 1 0 を参照しながら説明する。本実施形態は、同一チップ上ではあるが、個々のセル単位でみた場合に、電源電圧が異なる場合に適用される。このような現象は、電源を分離したチップ構成を採用した場合に特に顕著に現れるものである。

【 0 0 5 0 】

図 9 は、このような現象における動作上の問題点を説明する図であり、(a) は、信号送信側のグループ G 0 1 0 2 に属する A N 2 c と、信号受信側のグループ G 0 1 0 1 に属する A N 2 d の回路図であり、また、(b) は、各グループにおける信号の電圧レベルを示す波形図である。

【 0 0 5 1 】

図 9 (a) に示す A N 2 c と A N 2 d は、同一チップ内の異なるセルに形成されるが、直接または他の素子を介して相互に接続される 2 入力 A N D 回路であり、A N 2 c の出力端子 Z 6 は、コンデンサ C 2 を介して接地されるとともに A N 2 d の入力端子 A 8 に接続され、A N 2 c が信号の送信側、A N 2 d が信号の受信側となっている。なお、A N 2 d の出力端子 Z 8 もコンデンサ C 4 を介して接地される。

【 0 0 5 2 】

ここで、信号の送出側の A N 2 c と信号の受信側の A N 2 d とで電源電圧が異なる場合、実際の回路では動作上の問題が発生して信号の伝達が正常に行われなくなる可能性がある。このような場合、図 1 に示す論理シミュレーション装置 1

の論理シミュレーション部 1 0 は、遅延情報演算部 1 2 を介してバラツキルールファイル F 4 の情報を受け取り、この情報に基づいてルールチェックを行う機能を有する。これは、バラツキルールファイル F 4 に電源電圧に関するバラツキデータを含ませ、各セル毎に出力信号の電圧レベルを確定することにより可能になる。

【 0 0 5 3 】

本実施形態の論理シミュレーション方法の手順自体は、図 2 のフローチャートに示す手順と実質的に同一であり、具体的には、各グループ毎に電源電圧の係数を定義したスケルトンファイルをバラツキルールファイル F 4 内に用意することにより、論理シミュレーション部 1 0 が図 2 のステップ S 7 ～ S 9 の手順でルールチェックを実行する。

【 0 0 5 4 】

図 1 0 は、このようなバラツキルールファイル F 4 を作成するためのスケルトンファイルの一記述例を示す。同図に示す記述例では、グループ G 0 1 0 2 は T y p i c a l 条件で電源電圧が 0. 7 の係数を有し ($V_{TYP} = 0. 7$)、また、グループ G 0 1 0 1 は T y p i c a l 条件で電源電圧が 1. 5 の係数を有する ($V_{TYP} = 1. 5$)。

【 0 0 5 5 】

従って、図 9 (b) に示すように、グループ G 0 1 0 2 の出力電圧は、 $3. 3 (V) \times 1. 5 = 4. 95 (V)$ となる一方、グループ G 0 1 0 1 の出力電圧は、 $3. 3 (V) \times 0. 7 = 2. 31 (V)$ となる。このような場合は、グループ G 0 1 0 2 の A N 2 c の出力電圧がグループ G 0 1 0 1 の A N 2 d のしきい値電圧 V_{thAN2d} を超えることができなくなり、信号が正確に伝達することが不可能となる。

【 0 0 5 6 】

本実施形態によれば、セル単位で電源電圧が異なることにより発生するこのような問題点を発見できるので、回路レイアウトの修正や再設計、電源供給方法の見直しなどにより実チップでの評価に先だって予め問題点を解消することが可能になる。

【 0 0 5 7 】

なお、論理的に正常な動作が可能か否かに関する上述した判断基準は、適宜決定することができる。

【 0 0 5 8 】

(5) 論理シミュレーション方法の第4の実施形態

次に、本発明にかかる論理シミュレーション方法の第4の実施形態について説明する。本実施形態は、上述した第3の実施形態による論理シミュレーションで信号の電圧レベルをチェックした結果、正常動作が保証できないレベルでは無いが、遅延時間として何らかの補正が必要の場合に適用される方法である。従って、本実施形態においても論理シミュレーション方法の手順自体は、図2のフローチャートに示す手順と実質的に同一であるが、遅延情報演算部12による遅延情報演算（ステップ4）の具体的内容が上述した第2の実施形態と異なる。

【 0 0 5 9 】

本実施形態による遅延時間の補正が必要な場合の具体例について図11を参照しながら説明する。図11（a）は、いずれか一方で電源電圧の下降が発生した異なるグループに属するAN2の回路図であり、同図（b）および（c）は、遅延時間の補正が必要な2つのケースを説明する波形図である。

【 0 0 6 0 】

図11（a）には、グループGAに属するAN2eとグループGBに属するAN2fが示され、グループGAのAN2eの出力端子Z10は、グループGBのAN2fの入力端子A12に直接または他の素子を介して間接的に接続される。なお、各AN2e、AN2fの出力端子Z10、Z12は、それぞれコンデンサC10、C12を介して接地される。

【 0 0 6 1 】

図11（b）は、GA側のグループの電源電圧が下降しており、GB側のグループの電源電圧が上昇している場合を示す（ケース1）。この場合、2つのグループ間での電源電圧の差異は、相対的に $GA < GB$ の場合と等価となる。

【 0 0 6 2 】

図1に示す論理シミュレーション装置1において、遅延情報演算部12により

演算処理されて論理シュミレーション部10に入力される遅延情報ファイルF8 (SDF) には、図11 (b) に示す電源電圧 V_{DD} の中間レベルで判定される遅延時間情報が含まれる。しかしながら、グループGBのAN2fにおける実際の遅延時間を考えた場合、グループGAに属するAN2eの遅延時間としてはグループGAでの電源電圧 V_{DD} の中間レベルで規定されているため、AN2eの出力信号のレベルがしきい値電圧 V_{thGAa} まで達した時点では、グループGBで想定しているしきい値電圧 V_{thGBa} にまで到達していない。従って、ケース1におけるこのような遅延時間 (T_{CP} 分) は、何らかの方法で補正する必要がある。補正方法としては、グループGAのAN2eの遅延時間として加算する方法 (第1の補正方法) と、グループGBのAN2fの遅延時間として加算する方法 (第2の補正方法) と、配線遅延として加算する方法 (第3の補正方法) の3つの方法が考えられる。

【0063】

第1の方法、即ち、グループGAのAN2eの遅延とする方法では、AN2eの出力が同じグループGAの他のAN2にも接続されている場合や、グループGA、グループGB以外の他のグループに接続されている場合も考えられる。この場合、その補正処理は非常に複雑になる。また、第3の方法により、配線遅延として遅延情報ファイル (SDF) F8のPORTに定義した場合は、立ち上がりと立ち下がりを区別した定義が非常に困難であり、不可能な場合もある。従って、ここでは、グループGBのAN2fの遅延時間として加算する第2の方法が推奨される。図11 (b) のケース1の場合、グループGAのAN2eの出力信号の電圧レベルがグループGA内で定義されるしきい値レベル V_{thGAa} に到達してからグループGB内で定義されるしきい値レベル V_{thGBa} に到達するまでの時間を“プラス補正值 T_{CP} ”としてグループGBのAN2fに対して加算する処理を遅延情報演算部12が実行し、新たな遅延情報ファイル (SDF) F8' として論理シュミレーション部10に供給する。

【0064】

この一方、図11 (c) に示すケース2は、グループGB側の電源電圧が下降しており、グループGA側の電源電圧が相対的に上昇している場合である。同図

に示すように、ケース 2 においては、グループ GA の AN 2 e の出力信号レベルがグループ GB 内で定義されるしきい値レベル V_{thGBb} に到達してからグループ GA 内で定義されるしきい値レベル $V_{thGA b}$ に到達するまでの時間を“マイナス補正值 T_{CN} ”としてグループ GB の AN 2 f に対して減算する処理を遅延情報演算部 1 2 が実行し、新たな遅延情報ファイル (SDF) F 8' ' として論理シミュレーション部 1 0 に出力する。

【 0 0 6 5 】

図 1 1 に示す例では、信号の立ち上がり波形における遅延時間について示したが、立ち下がり波形についても本実施形態の論理シミュレーション方法を適用することにより、タイミングの補正を実行することが可能である。また、上述した実施形態では、論理値“0”レベルを同一として、論理値“1”のレベルにのみ相違がある場合について説明したが、その逆の論理値“1”のレベルを同一として、論理値“0”のレベルにのみ相違がある場合や、論理値“0”と論理値“1”の両方のレベルでともに相違がある場合についても本実施形態の方法を適用してタイミングの補正を実行することが可能である。

【 0 0 6 6 】

(6) 論理シミュレーション方法の第 5 の実施形態

次に、本発明にかかる論理シミュレーション方法の第 5 の実施の形態について図 1 2 ～図 1 5 を参照しながら説明する。本実施形態は、同一チップ内で配線の温度にばらつきがある場合に好適な論理シミュレーション方法である。

【 0 0 6 7 】

本実施形態の論理シミュレーション方法が適用される配線の一例を図 1 2 に示す。同図に示す配線 W は、チップ CP 4 内で分割された複数の領域にまたがって形成されており、各領域で配線の温度が異なるという特徴を有する。配線 W は、4 つの領域を、領域 (1, 1) → 領域 (1, 2) → 領域 (2, 2) → 領域 (3, 2) と通過するように形成される。

【 0 0 6 8 】

図 1 3 は、このような温度のばらつきを有する配線に適用するバラツキルールファイル F 4 内のスケルトンファイルの一例を示す。同図に示すスケルトンファ

イルFS6において、領域(1, 1)つまりGroup・G0101について、Typical条件で温度に関する係数は、論理シミュレータで使用するライブラリのデフォルト値に対して“1”である(TTYP=1. 0)。また、Max条件では、係数“1. 5”であり(TMAX=1. 5)、デフォルト値が25℃の場合、 $25 \times 1.5 = 37.5$ ℃となる。

【0069】

図14および図15は、本実施形態の論理シミュレーション方法の概略手順を説明するフローチャートである。なお、図15に示すフローチャートも図2に示すステップS2～S10のステップ番号に90を加算したものと実質的に同一であるので、以下では図14に示す手順を中心に説明する。

【0070】

まず、図13に示すスケルトンファイルFS6のような温度に関する係数を記述したスケルトンファイルをパラツキルールファイルF4内に予め用意しておき(ステップS86)、レイアウトデータ(例えばDEF)と、このパラツキルールファイルF4を遅延情報演算部12に入力する(ステップS87、S88)。

【0071】

次に、レイアウトデータ(DEF)から配線の座標を読み取り、各領域毎にセグメント分割する(ステップS89)。

【0072】

その後、パラツキルールファイルF4のスケルトンファイルから温度に関する係数を読み出し、この係数を利用して各セグメント毎に補正処理(ステップS90)、新たなパラツキルールファイルF4'を作成する。

【0073】

その後は、図15に示すように、論理シミュレーション方法の第1の実施形態において説明した手順と実質的に同一の手順で論理シミュレーションを実行する(ステップS92～S100)。

【0074】

図14のステップS90における補正処理としては、具体的には以下のような方法が考えられる。即ち、遅延時間を算出する際のライブラリ値に対して処理す

る方法と、セグメント毎の抵抗値に対して処理する方法の他、検証環境で抵抗値として一定の値を一貫して使用するとき、配線の形状（例えば、幅）に対して処理する方法などである。

【0075】

本実施形態によれば、このようにして算出された配線遅延値を遅延情報として論理シミュレータにてタイミング検証することにより、精度の高い検証が可能となる。

【0076】

(7) 記録媒体の実施形態

上述した論理シミュレーション方法の5つの実施形態では、図1に示す論理シミュレーション装置の動作として説明したが、これらの実施形態に説明する一連の手順は、専用機にのみ実行可能な手順では決してなく、汎用コンピュータに実行させるプログラムとしてフロッピーディスクやCD-ROM等の記録媒体に収納してコンピュータに読込ませて実行させても良い。これにより、本発明にかかる論理シミュレーション方法を外部のサーバやスタンドアロンの汎用コンピュータを用いて実現することができる。記録媒体は、磁気ディスクや光ディスク等の携帯可能なものに限定されず、ハードディスク装置やメモリなどの固定型の記録媒体でも良い。また、上述した論理シミュレーション方法の一連の手順を組み込んだプログラムをインターネット等の通信回線（無線通信を含む）を介して頒布しても良い。さらに、上述した論理シミュレーション方法の一連の手順を組み込んだプログラムを暗号化したり、変調をかけたり、圧縮した状態で、インターネット等の有線回線や無線回線を介して、あるいは記録媒体に収納して頒布しても良い。

【0077】

【発明の効果】

以上詳述したとおり、本発明は、以下の効果を奏する。

【0078】

即ち、本発明によれば、半導体集積回路の動作に影響を及ぼす電氣的・物理的特性のチップ内におけるばらつきを考慮するので、簡易な構成で検証精度および

検証処理速度のいずれについても優れた論理シミュレーション装置、論理シミュレーション方法、およびコンピュータ読み取り可能な記録媒体が提供される。これにより、実チップによる評価に先だって問題点を発見できるので、半導体集積回路の開発期間を大幅に短縮することができる。

【図面の簡単な説明】

【図 1】

本発明にかかるシミュレーション装置の実施の一形態を示すブロック図である。

【図 2】

本発明にかかるシミュレーション方法の第 1、第 3 および第 4 の実施の形態の概略手順を説明するフローチャートである。

【図 3】

シミュレーション対象である一チップの構成の概念図である。

【図 4】

(a) および (b) は、異なる電源電圧が印加される 2 入力 AND 回路の回路図であり、(c) は、(a) および (b) に示す回路の波形図である。

【図 5】

図 2 に示す論理シミュレーション方法に用いるパラツキルールファイルの一記述例である。

【図 6】

本発明にかかる論理シミュレーション方法の第 2 の実施の形態の概略手順を説明するフローチャートである。

【図 7】

本発明にかかる論理シミュレーション方法の第 2 の実施の形態の概略手順を説明するフローチャートである。

【図 8】

レイアウトデータにおける DEF ファイルの一例の要部を示す図である。

【図 9】

(a) は、同一セル内で電源電圧が異なる場合における 2 入力 AND 回路の回

路図であり、(b)は、(a)に示す回路の波形図である。

【図 1 0】

本発明にかかる論理シミュレーション方法の第3の実施の形態で用いるバラツキルールファイルを作成するためのスケルトンファイルの一記述例を示す図である。

【図 1 1】

(a)は、いずれか一方で電源電圧の下降が発生した異なるグループに属する2入力AND回路の回路図であり、同図(b)および(c)は、遅延時間の補正が必要なケースを説明する波形図である。

【図 1 2】

本発明にかかる論理シミュレーション方法の第5の実施形態の適用対象となる配線の一例を示す図である。

【図 1 3】

温度のばらつきを有する配線に適用するバラツキルールファイル内のスケルトンファイルの一例を示す図である。

【図 1 4】

本発明にかかる論理シミュレーション方法の第5の実施形態の概略手順を説明するフローチャートである。

【図 1 5】

本発明にかかる論理シミュレーション方法の第5の実施形態の概略手順を説明するフローチャートである。

【符号の説明】

- 1 論理シミュレーション装置
- 1 0 論理シミュレーション部
- 1 2 遅延情報演算部
- 1 4 メモリ
- 1 6 表示器
- AN 2, AN 2 a ~ AN 2 f 2入力AND回路
- C 2, C 4, C 6, C 8, C 1 0, C 1 2 コンデンサ

CP2, CP4 チップ

F2 デザインネットリスト

F4, F4', F4'' バラツキルールファイル

F8, F8', F8'' 遅延情報ファイル

V_{DD} 電源電圧

V_{thA2d} , V_{thGAa} , V_{thGBa} , V_{thGBb} , V_{thGAbs}
きい値電圧

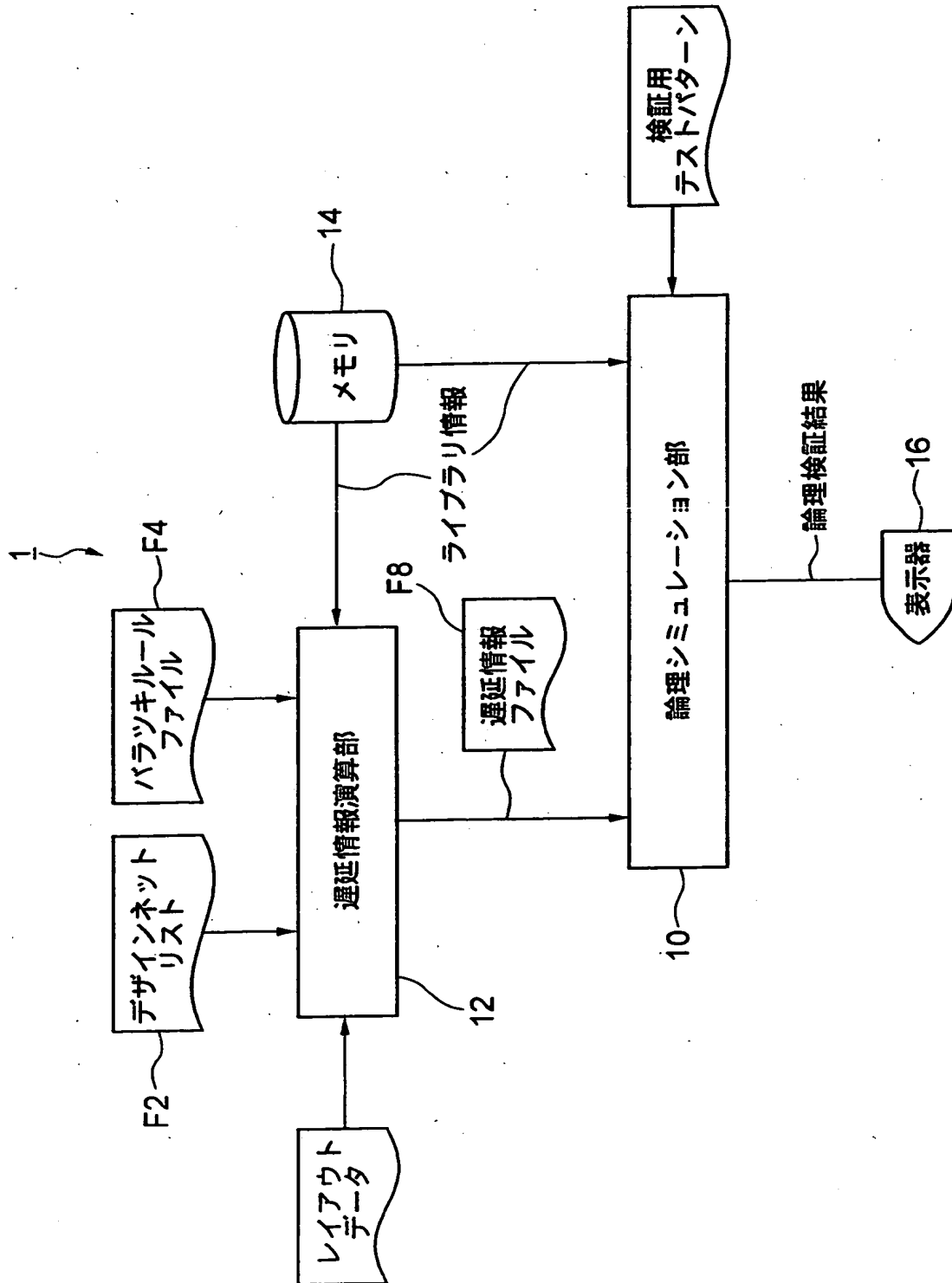
T_{CN} マイナス補正值

T_{CP} プラス補正值

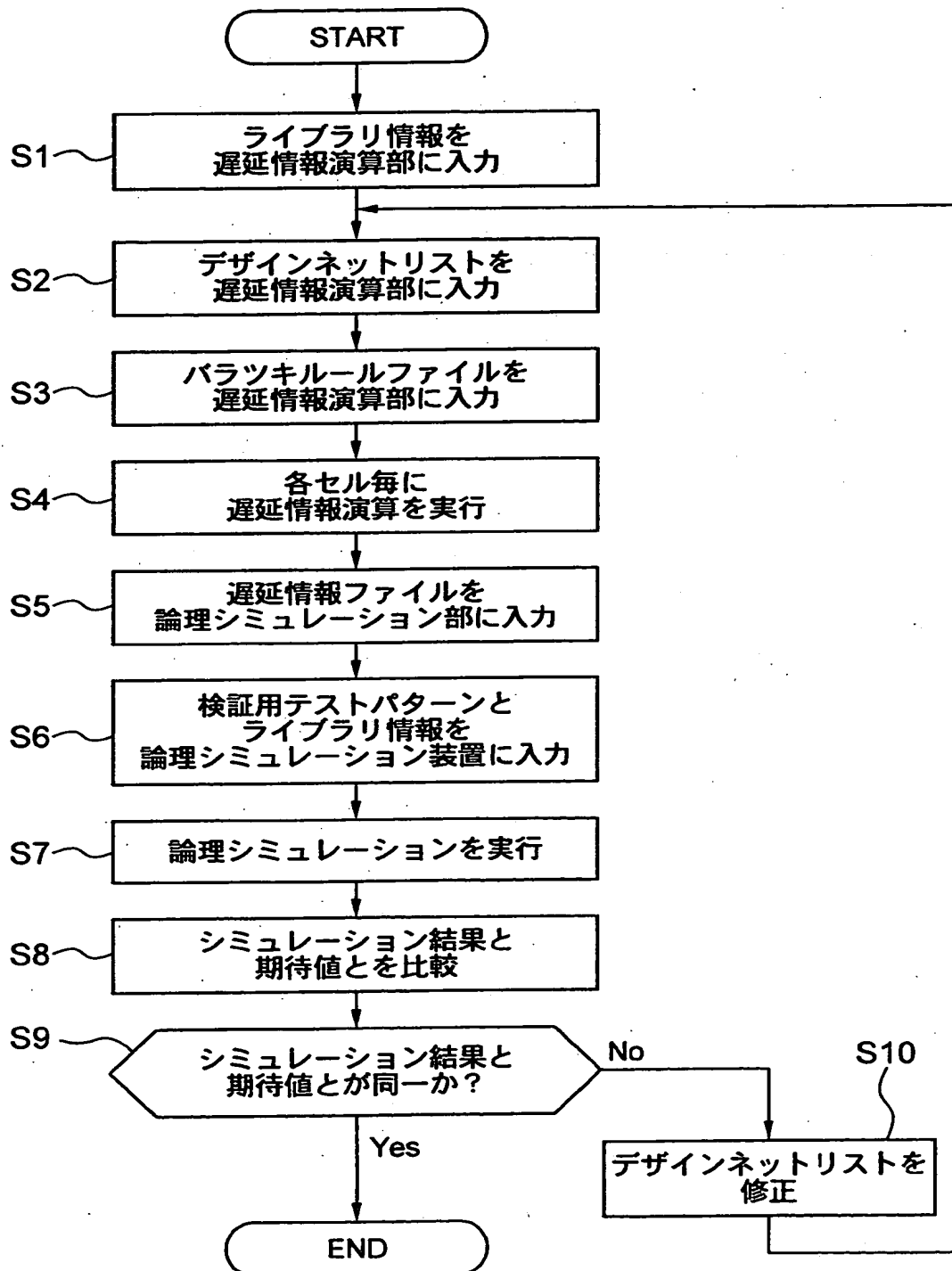
W 配線

【書類名】 図面

【図1】



【図 2】

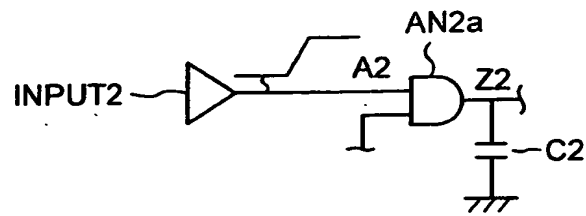


【図 3】

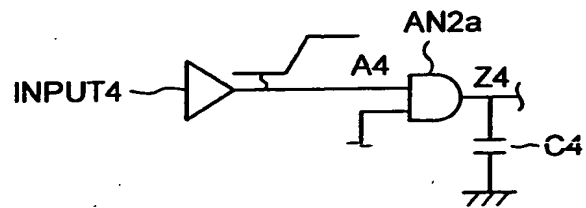
CP2

(1,1)	(1,2)	(1,3)
(2,1)	(2,2)	(2,3)
(3,1)	(3,2)	(3,3)

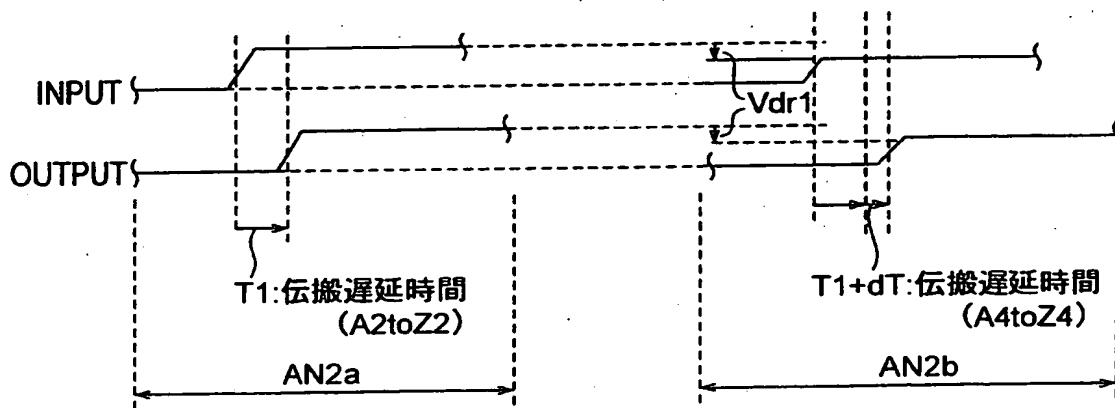
【図 4】



(a)



(b)



(c)

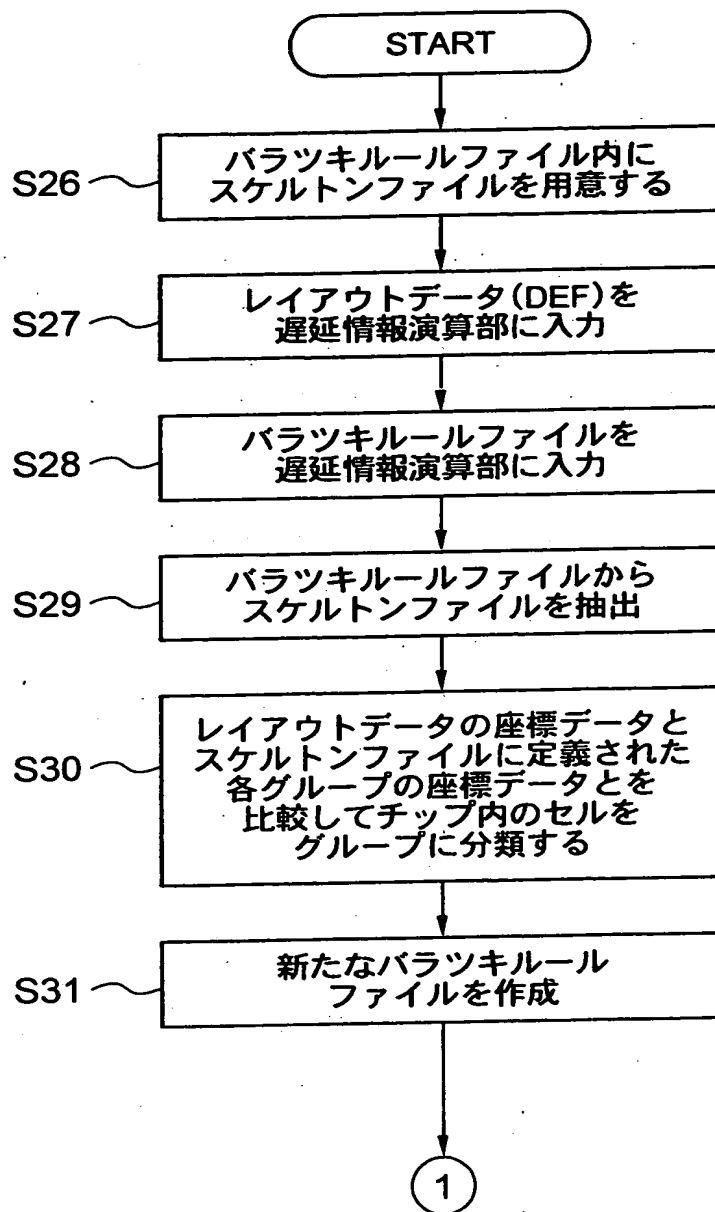
【図5】

F42

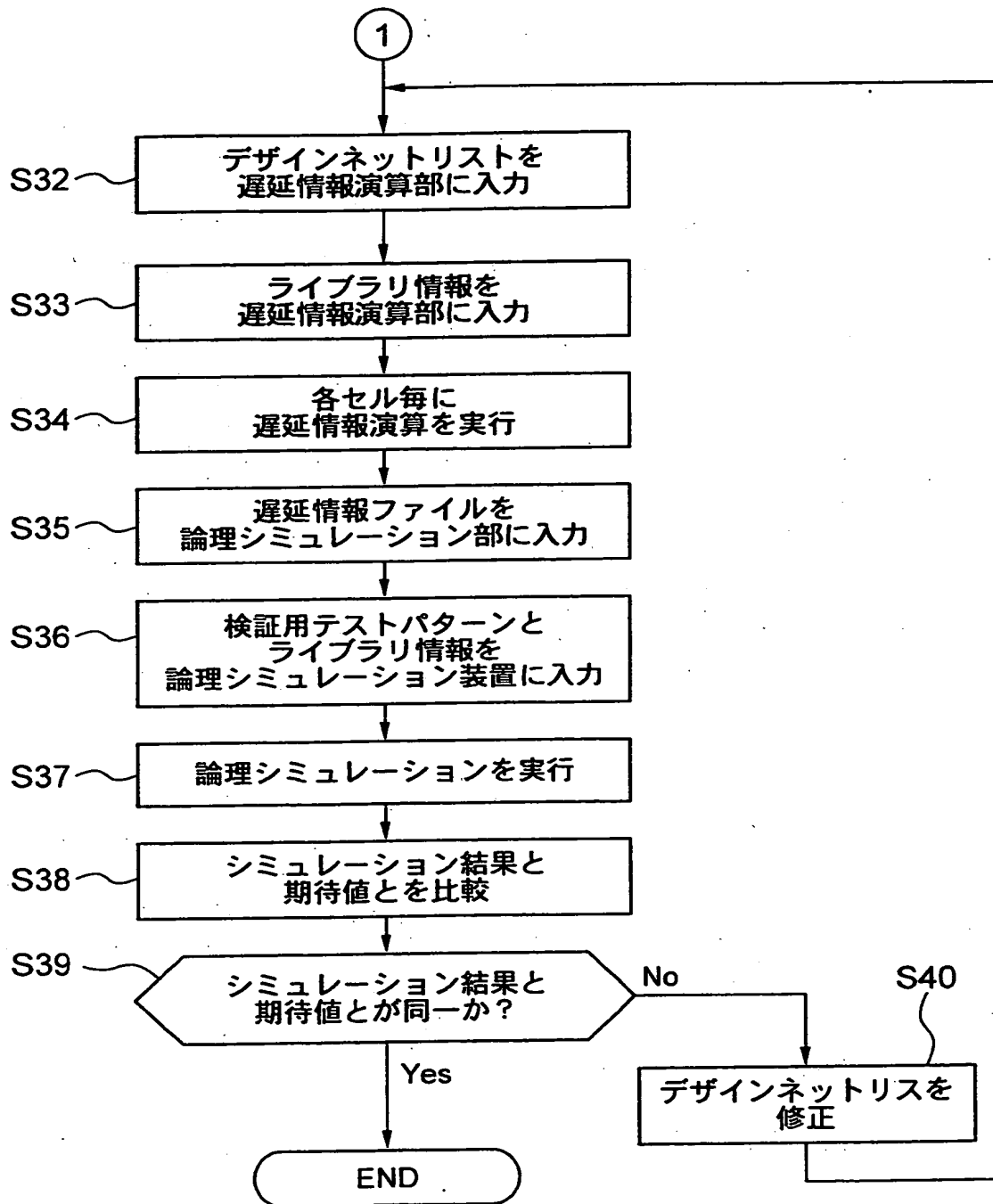
```

GROUP G0101
KMAX=1.3,KTYP=1.0,KMIN=0.7;
.ran1.*;
.verr1.*;
.MFF1.*;
GROUP G0102
KMAX=1.3,KTYP=0.7,KMIN=0.4;
.ran2.*;
.verr2.*;
.MFF2.*;
GROUP G0103
KMAX=1.6,KTYP=1.1,KMIN=0.7;
.ran3.*;
.verr3.*;
.MFF3.*;
GROUP G0201
:
:
:
GROUP G0303
KMAX=1.95,KTYP=1.5,KMIN=1.05;
.ran9.*;
.verr9.*;
.MFF9.*;
END;
    
```

【図 6】



【図 7】



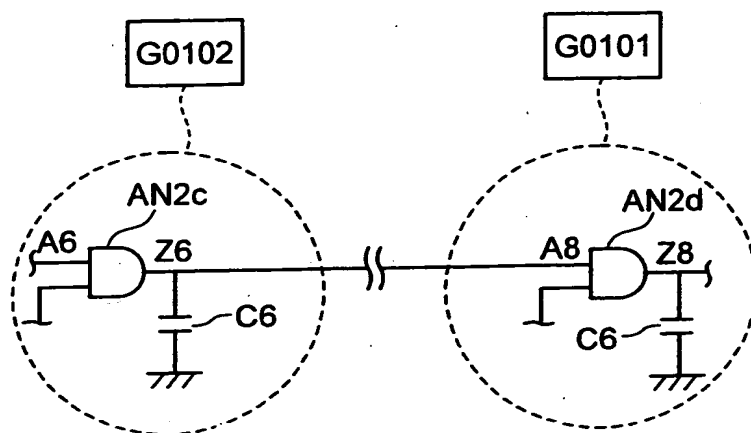
【図8】

FS2

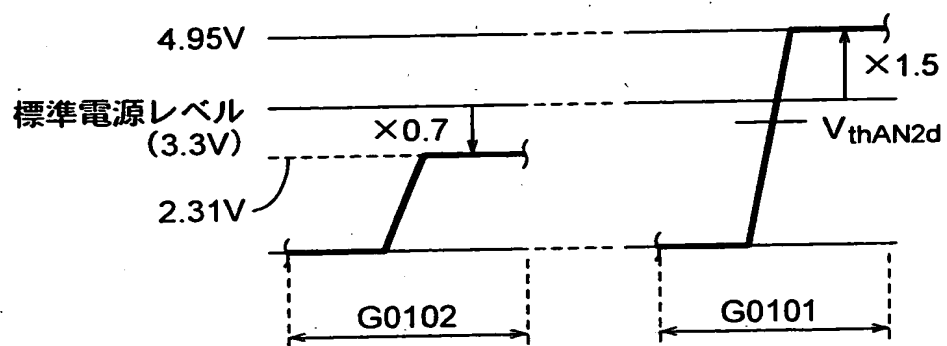
```
GROUP G0101
KMAX=1.5、KTYP=1.1、KMIN=0.6;
X1=100、Y1=100、X2=200、Y2=200;
GROUP G0102
KMAX=1.3、KTYP=0.7、KMIN=0.4;
X1=200、Y1=100、X2=300、Y2=200;
GROUP G0103
KMAX=1.6、KTYP=1.1、KMIN=0.7;
X1=300、Y1=100、X2=400、Y2=200;
GROUP G0201
:
:
:

GROUP G0303
KMAX=1.5、KTYP=1.0、KMIN=0.5;
X1=100、Y1=200、X2=200、Y2=300;
END;
```

【図 9】



(a)



(b)

【図10】

FS4

GROUP G0101

VMAX=1.5, VTYP=1.5, VMIN=0.6;

X1=100, Y1=100, X2=200, Y2=200;

GROUP G0102

VMAX=1.3, VTYP=0.7, VMIN=0.4;

X1=200, Y1=100, X2=300, Y2=200;

:

:

:

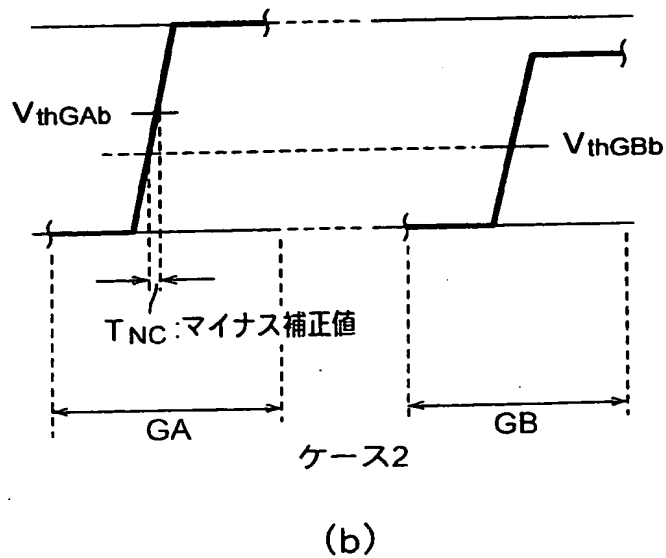
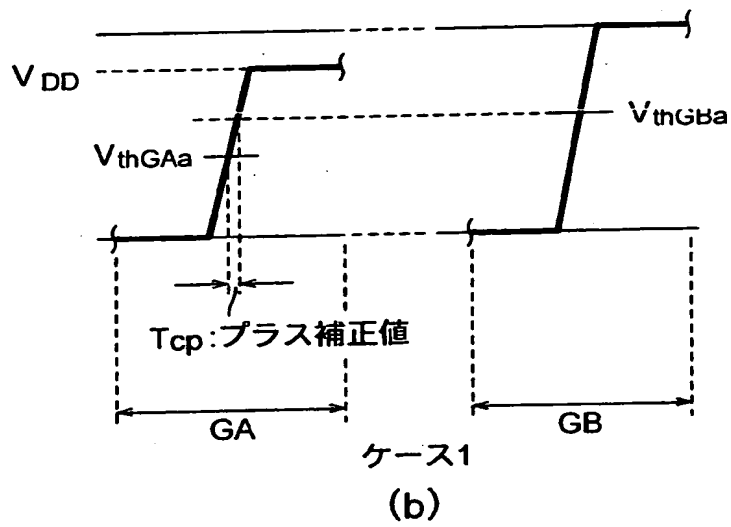
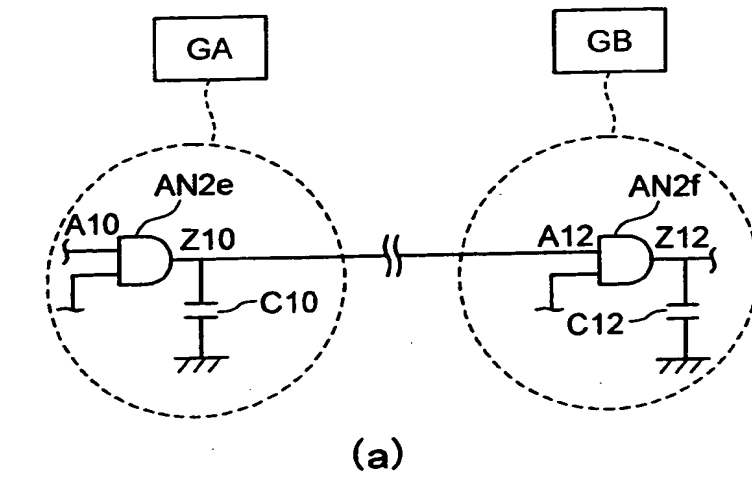
GROUP G0303

VMAX=1.5, VTYP=1.0, VMIN=0.5;

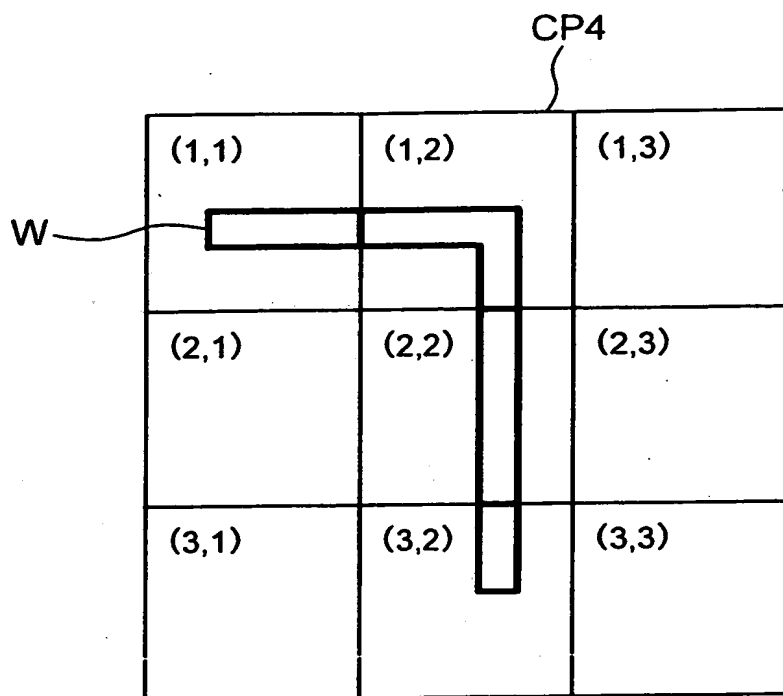
X1=100, Y1=200, X2=200, Y2=300;

END;

【図 11】



【図 1 2】



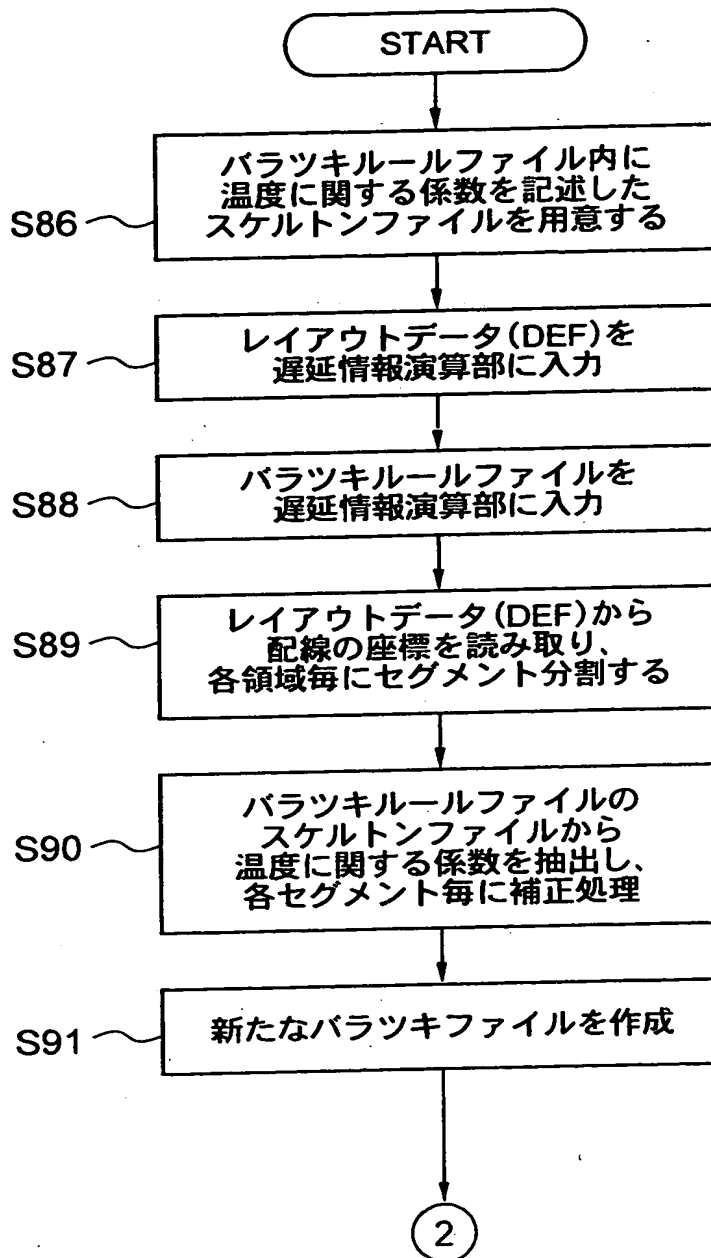
【図 13】

FS6

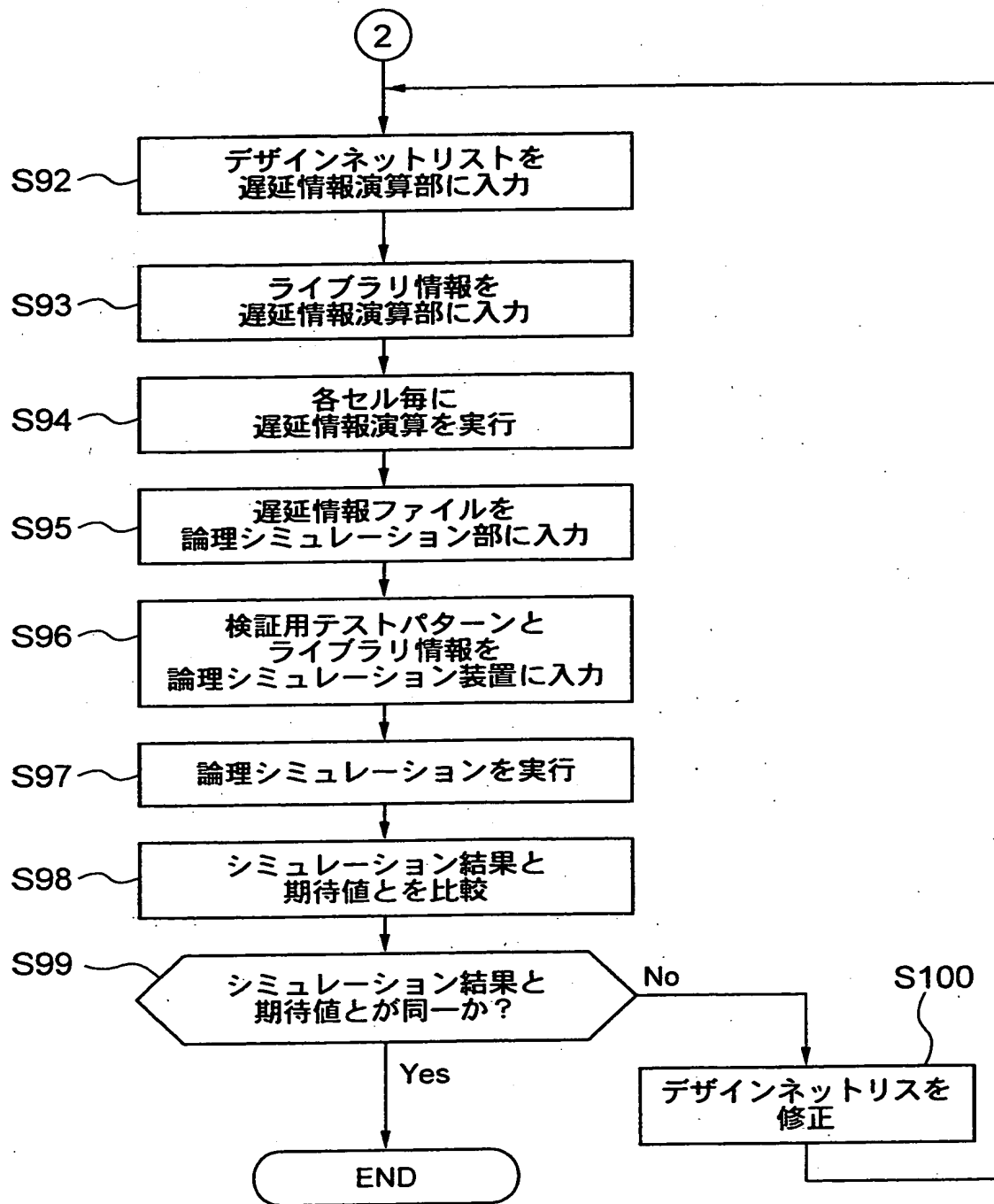
```
GROUP G0101
TMAX=1.5、TTYP=1.0、TMIN=0.6;
X1=100、Y1=100、X2=200、Y2=200;
GROUP G0102
TMAX=1.3、TTYP=0.7、TMIN=0.4;
X1=200、Y1=100、X2=300、Y2=200;
:
:
:

GROUP G0303
TMAX=1.5、TTYP=1.0、TMIN=0.5;
X1=100、Y1=200、X2=200、Y2=300;
END;
```

【図 1 4】



【図 15】



【書類名】 要約書

【要約】

【課題】 簡易な構成で検証精度および検証処理速度のいずれについても優れた論理シミュレーション装置、論理シミュレーション方法、およびコンピュータ読み取り可能な記録媒体を提供する。

【解決手段】 論理シミュレーション装置 1 において、解析対象である半導体集積回路の動作に影響を及ぼす電氣的・物理的特性のチップ内におけるばらつきの情報を記述したバラツキルールファイル F 4 の入力と、デザインネットリスト F 2、レイアウトデータおよびライブラリ情報の入力とを受け、これらバラツキルールファイル F 4 とデザインネットリスト F 2 とレイアウトデータとライブラリ情報に基づいてチップ内の上記ばらつきの影響がセルごとに考慮された遅延情報ファイル F 8 を作成する遅延情報演算部 1 2 と、検証用テストパターンと上記ライブラリ情報と遅延情報ファイル F 8 の入力を受けて論理シミュレーションを実行する論理シミュレーション部 1 0 と、を備える。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝
2. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝

出 願 人 履 歴 情 報

識別番号 [000221199]

1. 変更年月日 1990年 8月23日
[変更理由] 新規登録
住 所 神奈川県川崎市川崎区駅前本町25番地1
氏 名 東芝マイクロエレクトロニクス株式会社